

Vorlesung 3

Folie 4 und 5

Die Folien zeigen die Transistor Kennlinien: Der elektrische Zustand des Transistors wird durch zwei Spannungen – V_{gs} und V_{ds} und durch zwei Ströme I_{ds} und I_{gs} beschrieben. Für DC Signale gilt $I_{gs} = 0$. Gate stellt nur eine Kapazität dar. (Wir vernachlässigen im Moment den Tunneleffekt.)

Transistorverhalten für DC Signale kann mit folgenden Kennlinien beschrieben werden.

I_{ds} als Funktion von V_{ds} für verschiedene V_{gs} (Ausgangskennlinien)

I_{ds} als Funktion von V_{gs} für verschiedene V_{ds} (Eingangskennlinien)

Schauen wir uns die erste Kennliniengruppe an.

Folie 4 zeigt die I_{ds} - V_{ds} Kennlinien. Wie plotten die Linien für linear aufsteigende V_{gs} – z.B. 100mV, 200mV...

Man kann folgendes erkennen:

Im rechten Linienbereich ist der Strom von V_{ds} **praktisch unabhängig** – wir nennen diesen Bereich Sättigungsbereich. Im Idealfall $I_{ds} = I_{dssat}$ für alle $V_{ds} > V_{gs} - V_{th}$. I_{dssat} ist durch Formel (2) (Vorlesung 4) gegeben.

Im linken Linienbereich sinkt der Strom mit Abnahme von V_{ds} . Diesen Bereich nennen wir Trioden-Bereich. Für kleine V_{ds} ist die Strom-Spannung Abhängigkeit ungefähr linear (Linearbereich). Den Strom im linearen Bereich kann man mit Formel (1) (Vorlesung 4) beschreiben.

Der Strom in Sättigung hängt etwa quadratisch von V_{gs} ab – wie die Formel (2) zeigt.

Auf der Grenze zwischen den Sättigungs- und Trioden- Bereichen gilt $V_{ds} = V_{gs} - V_{th} = V_{dssat}$.

Es ist leicht zu zeigen dass die Grenzpunkte für verschiedene V_{gs} Spannungen auf der Parabel $I_{ds} = k/2 V_{ds}^2$ liegen – das kann man aus Formel für Sättigungsstrom und der Bedingung $V_{ds} = V_{gs} - V_{th}$ herleiten.

$K = \text{Mobilität} * W/L * C_{ox}$.

Im Sättigungsbereich verhält sich der Transistor also wie eine spannungsgesteuerte Stromquelle.

Im Trioden-Bereich für kleine V_{ds} verhält sich der Transistor wie ein variabler Widerstand (oder wie ein elektronischer Schalter) (Linearbereich).

Folie 6

Folie 6 zeigt die I_{ds} - V_{gs} Kennlinie. Wir könnten auch hier mehrere Kennlinien für verschiedene V_{ds} zeichnen – wir begrenzen uns aber auf den Sättigungsbereich, genau genommen auf den Strom am Anfang der Sättigung I_{dsat} .

Folie 7

Kleinsignalmodell:

Die Eingangskennlinie wird üblicherweise im Bereich um den Arbeitspunkt linearisiert – die Steigung der Linie dI_{dsat}/dV_{gs} nennen wir die Transkonduktanz (Leitwert). Für die Kleinsignale werden die linearen Modelle verwendet.

Beachten wir aber, dass die Kleinsignalmodelle nur unter bestimmten Bedingungen gelten.

Das Kleinsignal- Modell erlaubt beliebig hohe positive und negative v_{gs} und i_{ds} Werte (Kleinsignale). Der negative Kleinsignalstrom darf aber nicht den DC-

Strom übersteigen, sonst wäre der Gesamtstrom i_{DS} negativ. Einen negativen i_{DS} kann man bei einem positiven v_{DS} nicht erreichen.

Folie 8

Im Fall vom PMOS gelten alle Kennlinien wie beim NMOS - die Indizes bei den Spannungen und Strömen sollen vertauscht werden.

Folie 9

Man könnte sagen: Die PMOS Schaltungen sind ein Spiegelbild von NMOS Schaltungen in der Weise wie die Abbildung zeigt.

Die Ströme und Spannungen haben andere Vorzeichen. Wenn eine Schaltung korrekt gezeichnet ist, fließen die Ströme von oben nach unten und die Potentiale oben im Bild sind höher als die Potentiale unten.

Das Drain-Potential kann sowohl niedriger als höher als Gate liegen - in beiden Fällen kann der Transistor in Sättigung sein. Die Bedingung für Sättigung ist $V_{ds} > V_{gs} - V_{th}$.

Folie 11 und 12

Warum brauchen wir NMOS und PMOS?

Ein NMOS leitet nur dann gut wenn das Source-Potential niedrig ist. Das heißt einen NMOS-Schalter kann man nicht benutzen um eine Leitung mit VDD (mit der positiven Versorgung) kurz zu schließen. Dafür braucht man einen PMOS.

Beispiel: 1) Eine Kapazität wird mit einem NMOS entladen. Die Kapazität wird mit NMOS aufgeladen. 3) Die Kapazität wird mit PMOS aufgeladen.

Folie 13

Bei einer PMOS Stromquelle fließt der Strom aus VDD heraus, eine NMOS Quelle leitet den Strom in GND.

Folie 15

Die Kennlinien wie wir sie gesehen haben sind nur eine Idealisierung. Wir werden jetzt einige Abweichungen vom Idealbild betrachten.

Schwache Inversion

Formel für I_{DSSAT} (2) suggeriert, dass der I_{DSSAT} Strom null wird solange V_{gs} kleiner als die Schwelle ist. Wie wir in Vorlesung 4 gesehen haben, können die Elektronen aus der Source auch für kleinere Gate Spannungen die Potentialbarriere überwinden und in Drain gelangen.

Folie 16 und 17

Die Höhe der Barriere U_B ist die Differenz vom Source Potential V_s und dem Potential vom Silizium unterhalb SiO_2 - V_x .

Dieses Potential ist für $V_{gs} = V_{th}$ null. Für niedrigere V_{gs} gilt die Formel für Spannungsteiler: $V_x = (V_{gs} - V_{th})/n$ (Folie 17)

Also: $U_B = -(V_{gs} - V_{th})/n$.

(Eine negative Spannung ist für Elektron eine positive Barriere, deshalb haben wir minus Vorzeichen.)

Folie 18

Die Wahrscheinlichkeit, dass ein Elektron mit der thermischen Energie $\sim UT$ die Barriere überwindet ist sehr näherungsweise durch die folgende Formel gegeben (Statistische Physik, Maxwell Boltzmann Verteilung):

$$\exp(-UB/UT) \sim \exp[(V_{gs} - V_{th})/n UT]$$

Man kann erwarten dass der Source \rightarrow Drain Elektronenfluss durch eine Gleichung in der Form

$$\Phi_{s \rightarrow d} = \text{const} * \exp[(V_{gs} - V_{th})/nUT]$$

bestimmt wird.

Folie 19

Eine ähnliche Gleichung gilt für den Drain \rightarrow Source Elektronenfluss.

$$\Phi_{d \rightarrow s} = \text{const} * \exp[(V_{gd} - V_{th})/nUT]$$

Folie 20

Wie erwähnt, wenn V_{ds} gleich 0 ist, haben wir denselben Elektronenfluss aus Drain in Source, wie aus Source in Drain. Dieses Gleichgewicht führt zum Netto-Ids Strom null.

Folie 21

Für $V_{ds} > 0$ steigt die Barriere aus der Seite von Drain um V_{ds} . Es gilt:

$$\text{Fluss } d \rightarrow s = \text{const} \exp(-V_{ds}/UT).$$

Für $V_{ds} > \text{einige } U_T$ ist die Exp Funktion praktisch null und der Fluss von der Drain-Seite verschwindet. Wir haben die Stromsättigung, da der Drain-Source Fluss verschwindet – nur der Source-Drain Elektronenfluss bleibt.

Folie 22 und 23

Genauere Herleitung zeigt:

$$I_{dssat} = W/L * \text{Mobilität} * C_{ox} * (n-1) U_T^2 \exp[(V_{gs} - V_{th})/n * U_T]. \quad (3)$$

U_T ist die Thermische Spannung kT/e , sie ist 25mV auf der Zimmertemperatur.

Folie 24

Es ist wichtig zwei Sachen zu merken: 1) ein Transistor ist nie wirklich aus. Für $V_{gs} = V_{th}$, wo wir nach Formel (2) $I_{dssat} = 0$ erwarten, fließt bereits ein Strom von etwa $W/L * 100\text{nA}$. 2) Die Bedingung für Sättigung in schwacher Inversion ist $V_{ds} > \text{einige } U_T$. Die V_{dssat} hängt nicht von V_{gs} ab, wie es in starker Inversion war ($V_{ds} > V_{gs} - V_{th}$).

Ein Strom von 100nA mag wenig klingen, aber in vielen Anwendungen ist er bedeutend. Stellen wir uns eine DRAM Zelle mit 10fF Kapazität vor. Bei einem Strom von 100nA verliert sie Ladung innerhalb von nur etwa $dt = 1E-14/1E-7 = 100\text{ns}$! Schwache Inversion führt zum DC Stromverbrauch in CMOS Logik.

Wir können V_{gs} Wertebereich auf schwache Inversion ($V_{gs} < V_{th} + \text{einige } U_T$), und starke Inversion ($V_{gs} > V_{th} + \text{einige } U_T$) unterteilen. Für schwache Inversion gilt die Gleichung (2) (Vorlesung 4), für starke die Gleichung (3).

Folie 25

Eine weitere Folge von schwacher Inversion ist es, dass wir die Transkonduktanz bei einem bestimmten Bias-Strom nicht beliebig erhöhen können.

Rechnen wir die Transkonduktanz: dI_{Dsat}/dV_{GS} .

Aus Formel (2) (Vorlesung 4) (starke Inversion) bekommen wir:

$$dI_{Dsat}/dV_{GS} = k (V_{GS} - V_{th}) = \sqrt{2 * k * I_{Dsat}} = \sqrt{\text{const} * I_{Dsat} * W/L}$$

Aus Formel (3) (schwache Inversion) bekommen wir:

$$dI_{Dsat}/dV_{GS} = I_{Dsat}/n * U_T$$

Die Formeln für starke Inversion implizieren, dass die Transkonduktanz beliebig vergrößert werden kann wenn der Transistor breiter und kürzer gemacht wird. Das ist nicht richtig:

Bei einem konstanten (Bias-)Strom und bei der Zunahme von W/L muss $V_{GS} - V_{th}$ sinken (Formel (2)). Wir kommen dadurch in die schwache Inversion, wo die Transkonduktanz nicht mehr vom W/L abhängt. Die g_m Anstieg wird gestoppt. $I_{Dsat}/n * U_T$ ist also die maximale Transkonduktanz bei einem bestimmten I_{Dsat} Biasstrom.

Folie 26

Substrateffekt

In unserer bisherigen MOSFET-Analyse hatten wir sowohl die Source als auch den Substratkontakt auf 0V.

Diese zwei Kontakte sind nicht immer kurzgeschlossen. Der Substratkontakt befindet sich oft auf einem niedrigeren Potential als Source (und Drain).

Folie 26 zeigt den NMOS. Substratkontakt ist zunächst auf 0V, die Gate-Source Spannung ist 0.5V, also entspricht der Schwelle V_{th} . Die Substrat-Oberfläche ist auf 0V, für höhere V_{GS} bildet sich der Kanal.

Folie 27

Verringern wir jetzt das Substratpotential V_{sb} . Erinnern wir uns, dass wir in der MOS Struktur einen kapazitiven Spannungsteiler haben. Das Potential der Substrat-Oberfläche wird dadurch um $V_{sb} * C_{dep}/(C_{dep}+C_{ox})$ niedriger als 0V, also zu niedrig für die Kanalbildung.

Folie 28

Wenn die Substrat-Oberfläche auf $-V_{sb} * C_{dep}/(C_{dep}+C_{ox}) = -V_x$ liegt, muss V_{gs} um $V_x * (C_{dep}+C_{ox})/C_{ox}$ erhöht werden um die Oberflächenpotential von 0V zu bekommen. Für das Oberflächenpotential = 0V bildet sich der Kanal da es in dem Fall keine Potentialbarriere für die Elektronen aus der Source und dem Drain gibt.

Also: Eine solche Substrat-Potentialänderung kann man als eine Erhöhung von Schelle um $V_{sb} * C_{dep}/(C_{dep}+C_{ox}) * (C_{dep}+C_{ox})/C_{ox} = V_{sb} * C_{dep}/C_{ox} = n-1 * V_{sb} \sim 0.5 * V_{sb}$ interpretieren. Nämlich, genau um diesen Betrag muss V_{gs} erhöht werden um den Kanal zu erzeugen.

Folie 29

Es gilt:

$$I_{ds} = \frac{1}{2} \text{ Mobilität } C_{ox} W/L (V_{gs} - V_{th0} - 0.5 V_{sb})^2$$

Oder

$$I_{ds} = \frac{1}{2} \text{ Mobilität } C_{ox} W/L (V_{gs} + 0.5 V_{bs} - V_{th0})^2$$

Das Substratpotential beeinflusst also den I_{ds} Transistorstrom auf ähnliche Weise wie das Gatepotential, nur um etwa Faktor $C_{dep}/C_{ox} = 0.5$ schwächer.

Folie 30, 31, 32

Early Effekt

Wir haben gesehen dass die Kanallänge L und die Kanalbreite W den Transistorstrom bestimmen ($I_{ds} \sim W/L$). Wie groß sind eigentlich W und L ? In erster Näherung nimmt der Kanal die ganze Fläche unterhalb des Gate-Oxids. Dort ist die „Anziehungskraft“ der positiven Gate-Ladung stark genug um einen Elektronen-Kanal zu formen.

Für Transistoren im linearen (oder Trioden-) Bereich ist der Kanal etwa genauso groß wie das Gate-Oxid.

Wenn V_{ds} größer als $V_{gs} - V_{th} = V_{dssat}$ ist (Transistor in Sättigung) bleibt das Ende des Kanals etwa auf V_{dssat} Potential. Zwischen dem Drain und dem Ende des Kanals haben wir also einen Potentialunterschied von $V_{ds} - (V_{gs} - V_{th})$ oder $V_{ds} - V_{dssat}$. Es bildet sich eine Verarmungszone.

Die Größe der Zone hängt von der Überspannung $V_{ds} - V_{dssat}$. Die Effektive Länge des Kanals ist also um die Größe der Verarmungszone kleiner als die Gate-Oxid-Länge. Erinnern uns an die Formel für den Sättigungsstrom.

$$I_{dssat} = \frac{1}{2} * \text{Mobilität} * W/L * C_{ox} * (V_{gs} - V_{th})^2$$

Wenn V_{ds} über V_{dssat} steigt, verkürzt sich der Kanal – L wird kleiner und der Strom steigt.

Es ist leicht herzuleiten:

$$I_{dssat} = I_{dssat0} (1 + dL/L)$$

Wenn wir noch annehmen $dL = V_{ds} - V_{dssat}/E_{sat}$ (E_{sat} ist eine Konstante) bekommen wir:

$$I_{dssat} = I_{dssat0} (1 + V_{ds} - V_{dssat}/(E_{sat} * L))$$

Die Steigung der Kennlinie dI_{dssat}/dV_{ds} ist (Folie 32)

$$dI_{dssat}/dV_{ds} = g_{ds} = I_{dssat0} / E_{sat} * L$$

Folie 33 und 34

Ein kleines g_{ds} ist normalerweise vom Vorteil da sich der Transistor dann ähnlicher wie eine Stromquelle verhält. Kleine g_{ds} Werte (oder einen großen $r_{ds} = 1/g_{ds}$ Widerstand) bekommen wir für lange Transistoren und für kleine Ströme.

Die Folie zeigt die Transistoren mit kleinem g_{ds} , also großem r_{ds} . Beachten wir dass diese Transistoren auch kleine g_m haben. Wir bekommen nicht beides – eine gute Stromquelle und eine hohe Trans-Konduktanz. Es gibt aber einen Trick – Kaskode (Folie 34).

Folie 35

Kapazitäten

In der Transistorstruktur haben wir an mehreren Stellen Raumladung. Die Ladungsmengen hängen von Spannungen zwischen den Transistorelektroden. Deshalb entstehen Kapazitäten. Die Beziehungen zwischen den Ladungsmengen und Spannungen sind in der Regel nichtlinear. Für das Kleinsignalmodell werden deshalb so genannte dynamische Kapazitäten als $dQ(V)/dV$ im Arbeitspunkt definiert.

Folie 36

Gate Kapazität

Die wichtigste Kapazität im Transistor ist die Gate Kapazität. Wir haben bereits gesehen, dass unterhalb des Gates zwei Kapazitäten entstehen – die

Oxidkapazität $C_{ox} * W * L$ und die Kapazität der Verarmungszone $C_{dep} * W * L$.
Ich schreibe $W * L$ da wir die Werte C_{ox}/C_{dep} pro Flächeneinheit definieren.

Je nachdem ob sich der Transistor in schwacher oder starker Inversion befindet, unterscheidet sich die Gate Kapazität.

Folie 37

Schwache Inversion:

Die Gate Kapazität ist die Reihenschaltung von C_{ox} und C_{dep}

$$C_{gate} = C_{gb} = WL * Cox * Cdep / (Cox + Cdep)$$

Die Kapazität wirkt zwischen dem Gate und dem Substrat.

Folie 38

Starke Inversion und $V_{ds} = 0$:

Die Spannung zwischen den Kontakten der Kapazität C_{dep} ist fest – der Kanal ist mit den Source und Drain kurzgeschlossen. Deshalb sehen wir C_{dep} nicht, wenn wir die Spannung am Gate ändern. Die Ladungsmenge in der Verarmungszone ändert sich nicht. Von den ursprünglich zwei Kapazitäten bleibt nur C_{ox} . Die Gate Kapazität ist dann:

$$C_{gate} = C_{gsd} = WL * Cox$$

Die Kapazität ist also größer als in schwacher Inversion. Diese Kapazität wirkt zwischen dem Gate und Source und Drain gleichmäßig. Das Substrat sieht die Kapazität nicht.

Folie 39

Starke Inversion und Sättigung ($V_{ds} > V_{dssat}$):

Man Kann zeigen, dass in Sättigung die Ladungsmenge im Kanal etwa 2/3 von der für $V_{ds} = 0$ ist. Deshalb ist die Gate-Kapazität etwa

$$C_{gate} = \frac{2}{3} * WL * C_{ox}$$

Da der Kanal in Sättigung von Drain abgekoppelt ist, wirkt die Kapazität nur zwischen Gate und Source.

$$C_{gate} = C_{gs} = \frac{2}{3} * WL * C_{ox}$$

Es gibt, in erster Näherung, keine Kapazität zwischen Drain und Gate.

Folie 40

Außer Gate Kapazitäten haben wir noch die folgenden kleineren Kapazitäten.

PN Übergang Kapazitäten (junction Kapazitäten) C_{jd} , C_{js} .

Überlappkapazitäten C_{gs_ovl} und C_{gd_ovl} . Diese Kapazitäten kommen zustande weil die Source und Drain Bereiche teilweise unter dem Gate-Oxid Gate hineinwachsen.

Insbesondere ist hier C_{gd_ovl} wichtig – die Drain-Gate Kapazität wird in den Verstärkern durch das Miller-Effekt verstärkt.

Folie 41

Das vollständige Kleinsignalmodell des Transistors ist in Folie 39 gezeigt.

Folie 42 und 43

Tunnelstrom

Das beschriebene Subthreshold Strom sollen wir nicht mit dem Tunnelstrom verwechseln.

In beiden Fällen kommen die Elektronen über eine Potentialbarriere – nur die Mechanismen sind anders.

Im Fall von Sub-Threshold Strom haben wir den Halbleiter auf Zimmertemperatur. Die Kristallgitter vibriert und sie kann Teil ihrer Energie an Elektronen übergeben. Manchmal passiert es dass ein Elektron so heftig abgestoßen wird, dass es genug Energie bekommt um die Barriere zu überwinden.

Im Fall von Tunneleffekt hat ein Elektron immer eine Kleinere Energie als die Barriere. Trotzdem es ist nicht auszuschließen dass das Elektron durch die Barriere kommt. Tunneleffekt ist nur für die Entfernungen im x nm Bereich bedeutend.

Tunnelstrom haben wir zwischen dem Gate und dem Substrat, bzw. dem Kanal, wenn die Oxiddicke unterhalb von 5nm ist.

Tunneleffekt mag sehr abstrakt klingen, er wird aber oft benutzt. Erinnern wir uns an die Substratkontakte.

Eine weitere Anwendung für Tunneleffekt ist die Tunneleffekt- Mikroskopie. Mit solch einem Mikroskop können wir einzelne Atome auf einem Metallsubstrat „sehen“ (messen) und bewegen. Wenn die Metallspitze (Probe) nah an Atom positioniert wird, fließt ein Tunnelstrom zwischen der Spitze und dem Substrat. Es ist möglich die Atome zu „fühlen“ – das Gerät hat eine ausreichende Ortsauflösung. Man kann auch die Atome bewegen, da eine Anziehungskraft (Van der Waals Kraft) zwischen den Atomen und der Probe entsteht wenn sie nah einander sind.